

Diplomverteidigung



Institut für Angewandte Mikroelektronik und Datentechnik

Diplomverteidigung

„Optimierungen an selbstgetakteten Einphasentaktschaltungen“

Frank Sill
21.10.2002



Gliederung

- Einführung
 - Aufbau der Logiken
 - Struktur der Schaltungen
- Optimierung
- Beispiel
- Zusammenfassung



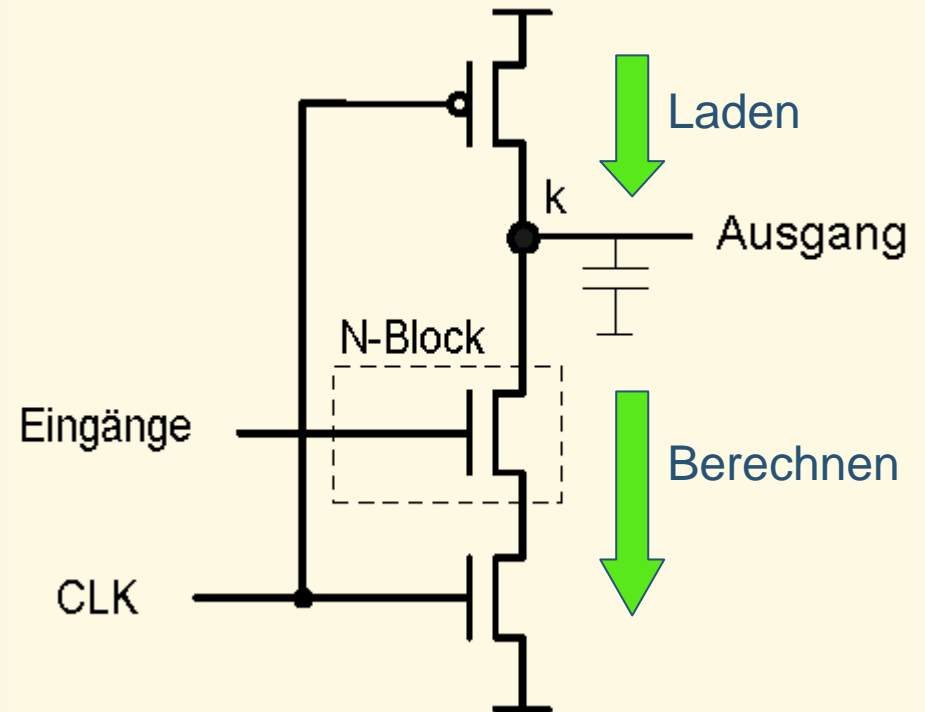
Einführung

- Datenströme bei Audio, Video, Smartcard
- Pipelines günstig für Datenstromverarbeitung
- Pipelines in dynamischer Logik (hohe Taktfrequenzen möglich)
- Selbstgetaktete Einphasentakt-Schaltungen (AC-TSPC) bieten Vorteile (kürzere Latenzzeit, geringerer Leistungsverbrauch)



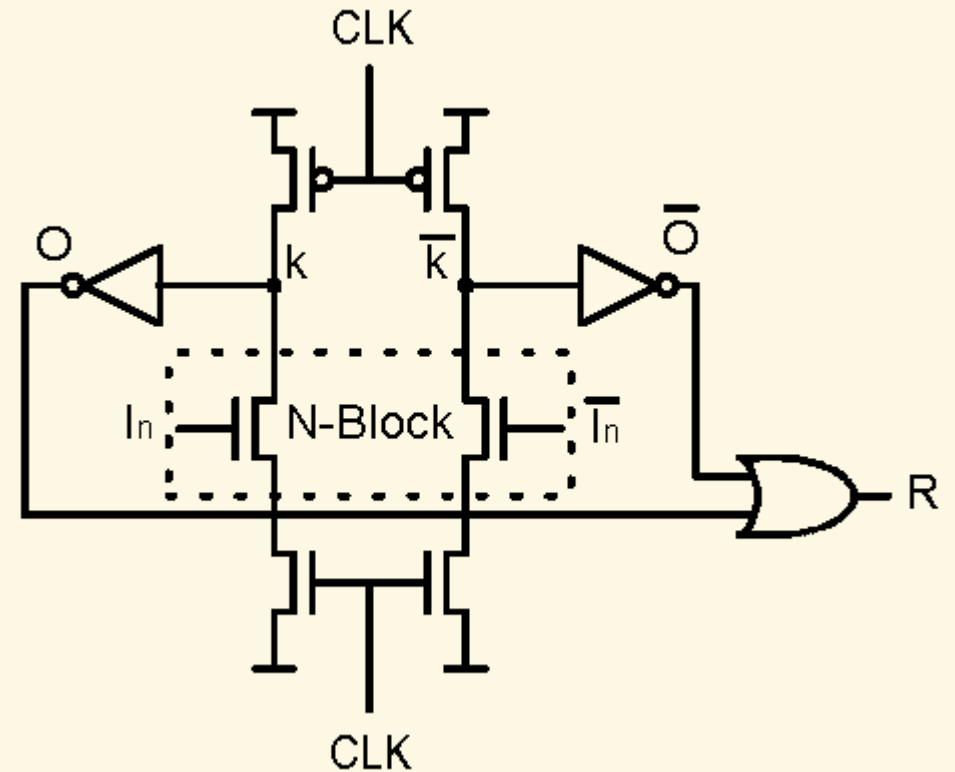
Dynamische nMOS-Logik

- Realisierung der Funktion über nMOS-Transistoren
- Taktsignal notwendig
- Ladephase:
 - CLK ist *Low*
 - Knoten k wird geladen
- Berechnungsphase:
 - CLK ist *High*
 - k entlädt sich in Abhängigkeit der Eingänge



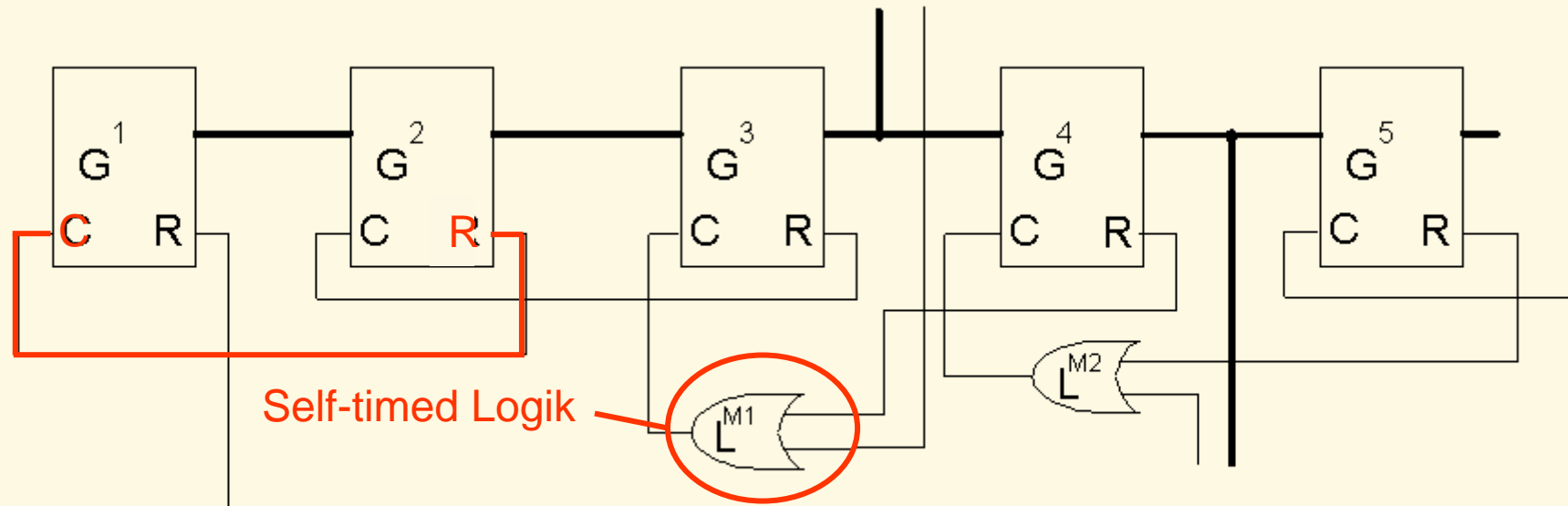
Dual-Rail Gatter

- durch komplementärer Aufbau entlädt sich immer ein Knoten
- Zustandssignal R gibt an, ob die Berechnung bzw. der Aufladevorgang abgeschlossen wurde
- Inverter verhindern vorzeitige Entladung



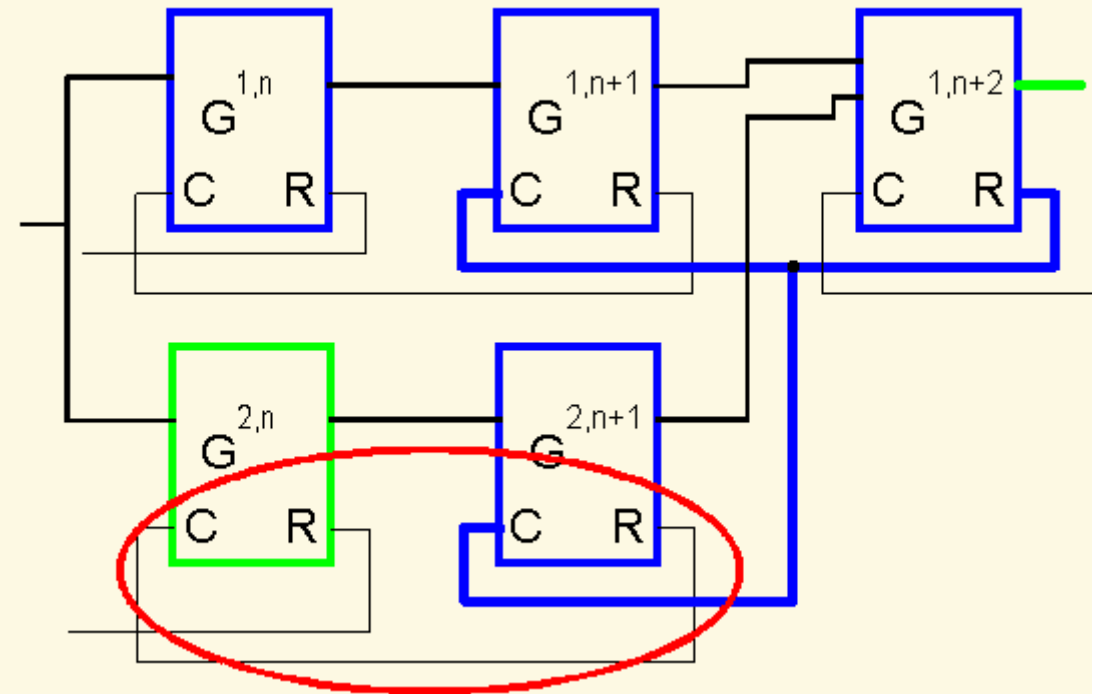
Selbstgetaktete Kette

1. Zustandssignale mit Steuereingängen verbinden
2. Self-timed Logiken hinzufügen



Self-timed Logiken

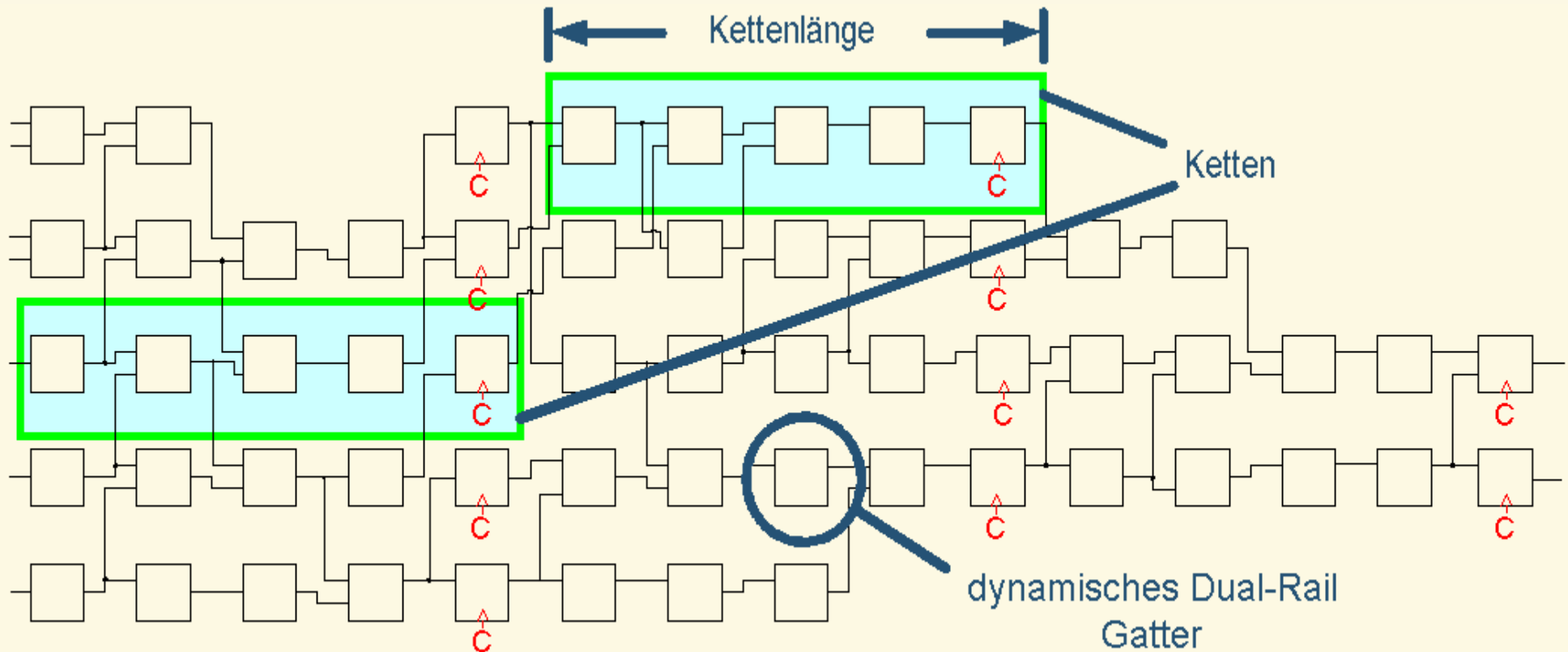
1. $G^{1,n}$ und $G^{2,n}$ berechnen
2. $G^{1,n+1}$ und $G^{2,n+1}$ berechnen
3. - $G^{1,n+1}$ setzt $G^{1,n}$ in Ladephase
 - $G^{2,n+1}$ berechnet weiterhin
 - $G^{1,n+2}$ berechnet
4. - $G^{1,n+1}$ und $G^{2,n+1}$ wechseln in Ladephase
 - $G^{2,n}$ wird **nicht** in Ladephase versetzt



Zusätzliche Logik notwendig

Aufbau der Schaltungen

- Ein Gatter der Ketten mit Taktsignal verbinden



Optimierungsziele

- hohe Taktfrequenz
- geringe Latenzzeit
- geringe zusätzliche Fläche
- geringer Leistungs- und Energieverbrauch



Optimierungen I

Self-timed Logiken:

- Realisierung
 - universale Self-timed Logik
 - garantiert Funktionsfähigkeit unter allen Bedingungen
 - angepasste Self-timed Logik
 - für jeden Sonderfall spezielle Logik
 - Mehrfachbenutzung von Zustands-/Steuersignalen
- Strategie, da optimale Lösung zeitaufwendig (schrittweise Selektion von Möglichkeiten)

Optimierungen II

Takt:

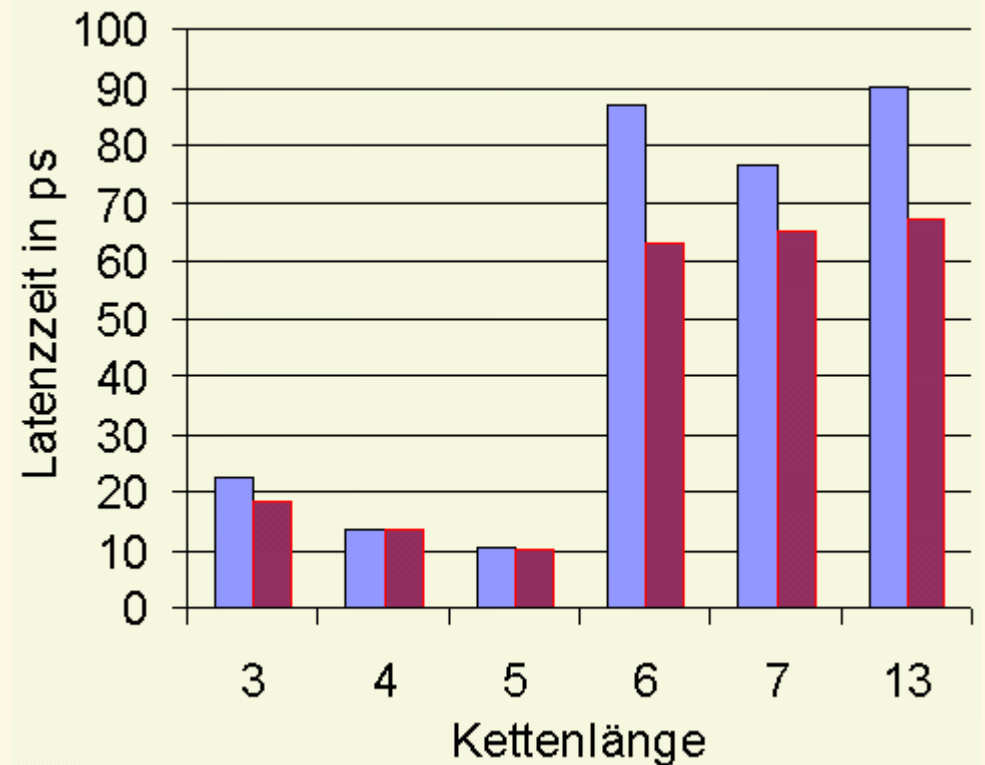
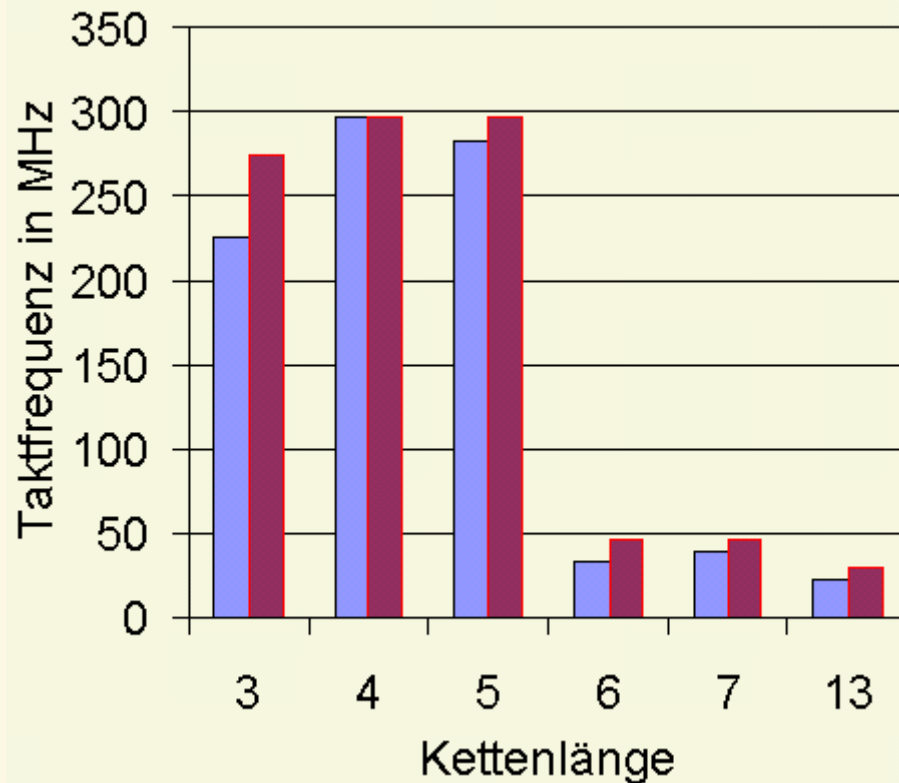
- Frequenz
 - Bedingungen für Dauer der Phasen
 - Phasendauer sind untereinander abhängig
- Symmetrie
 - unsymmetrisches Taktsignal erlaubt bessere Anpassung an notwendige Phasendauer
 - symmetrisches Taktsignal kann besser synthetisiert werden

Optimierungen III

Kettenlänge:

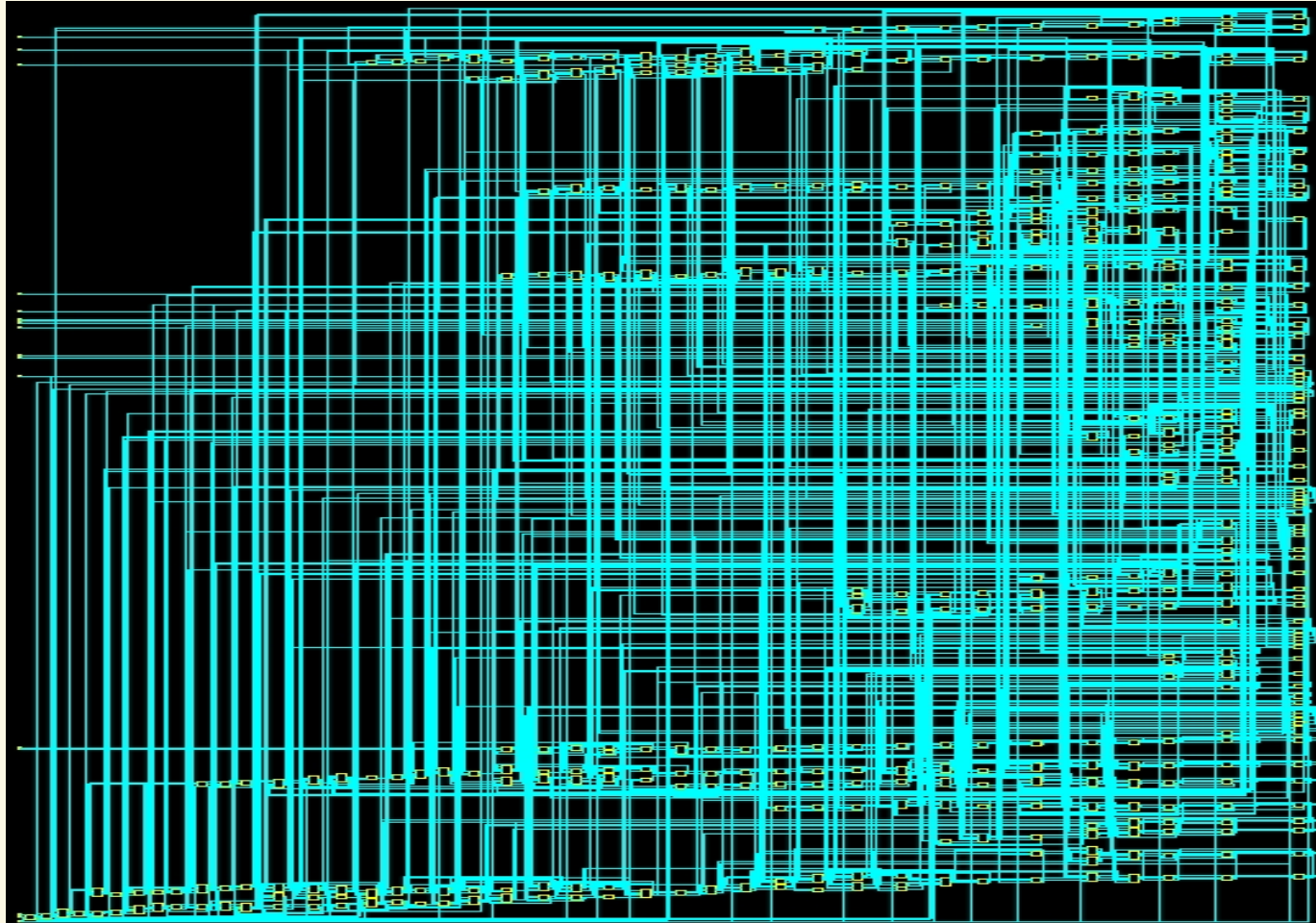
- Kettenlänge variiert beliebig
 - nicht empfohlen, da viele Fehler
- variable Kettenlänge innerhalb einer Ebene (parallele Ketten haben gleiche Länge)
- sinnvoll bei “Dreiecksform” der Pipelines

Beispiel: 2x4-Bit Multiplizierer



■ symmetrisches Taktsignal ■ unsymmetrisches Taktsignal

Netzliste: 2x4-Bit Multiplizierer



Zusammenfassung

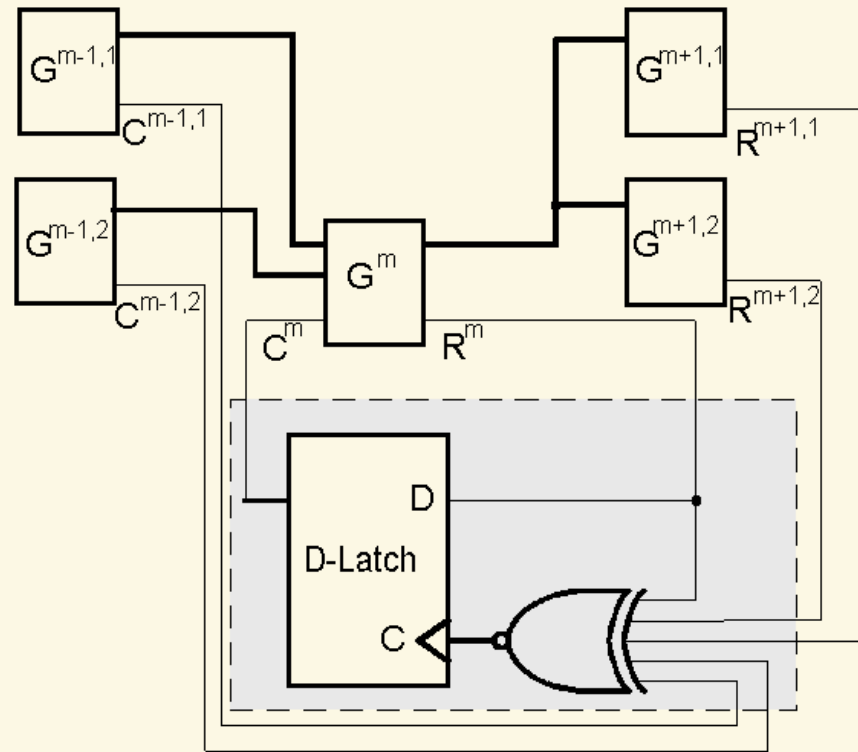
- Generierung von selbstgetakteten Einphasentakt-Schaltungen
- Grundlegende Betrachtungen zu Optimierungszielen
- Optimierungsstrategien entwickelt
- modular erweiterbare Software implementiert



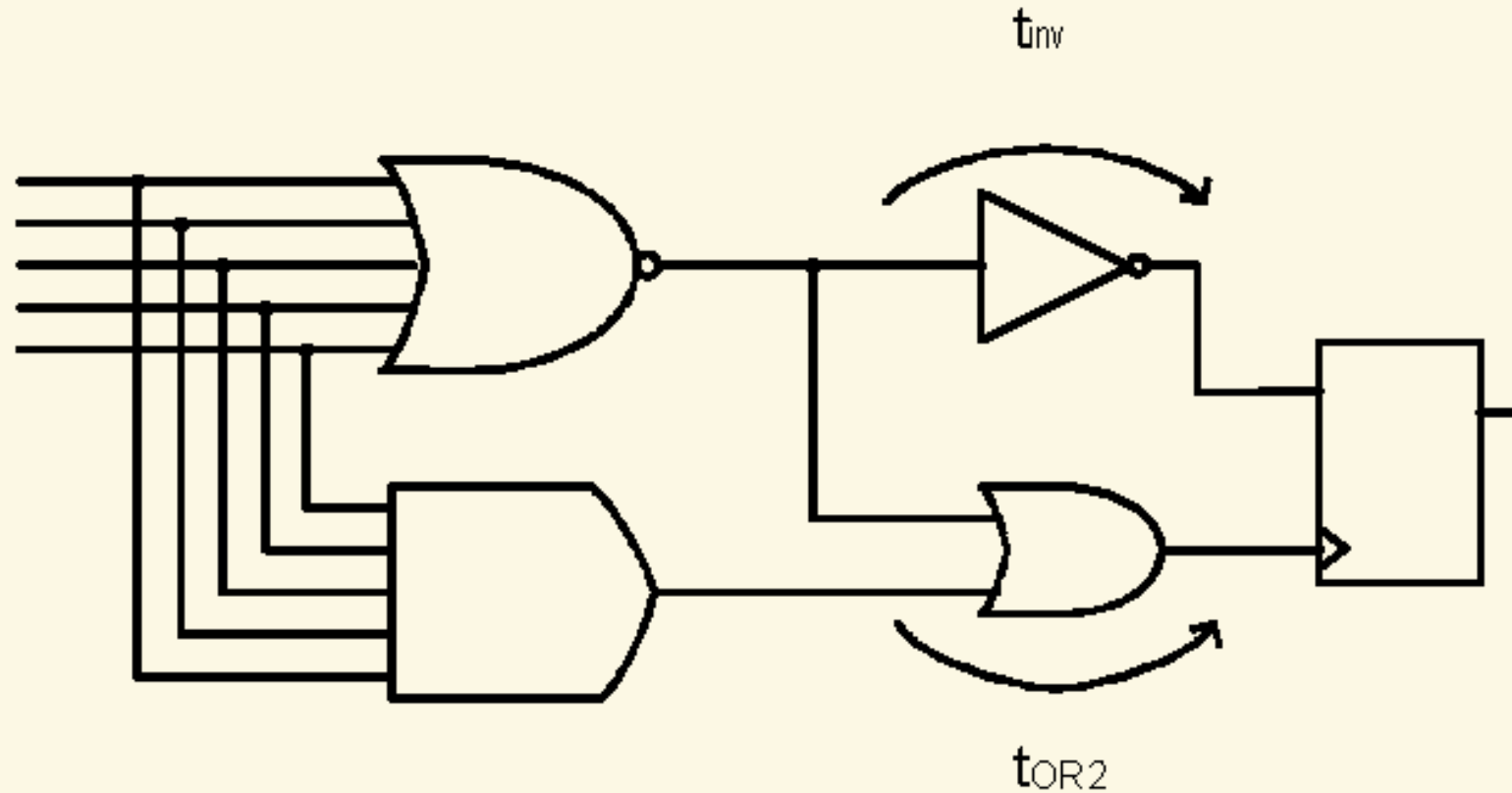
**Vielen Dank für Ihre
Aufmerksamkeit!**



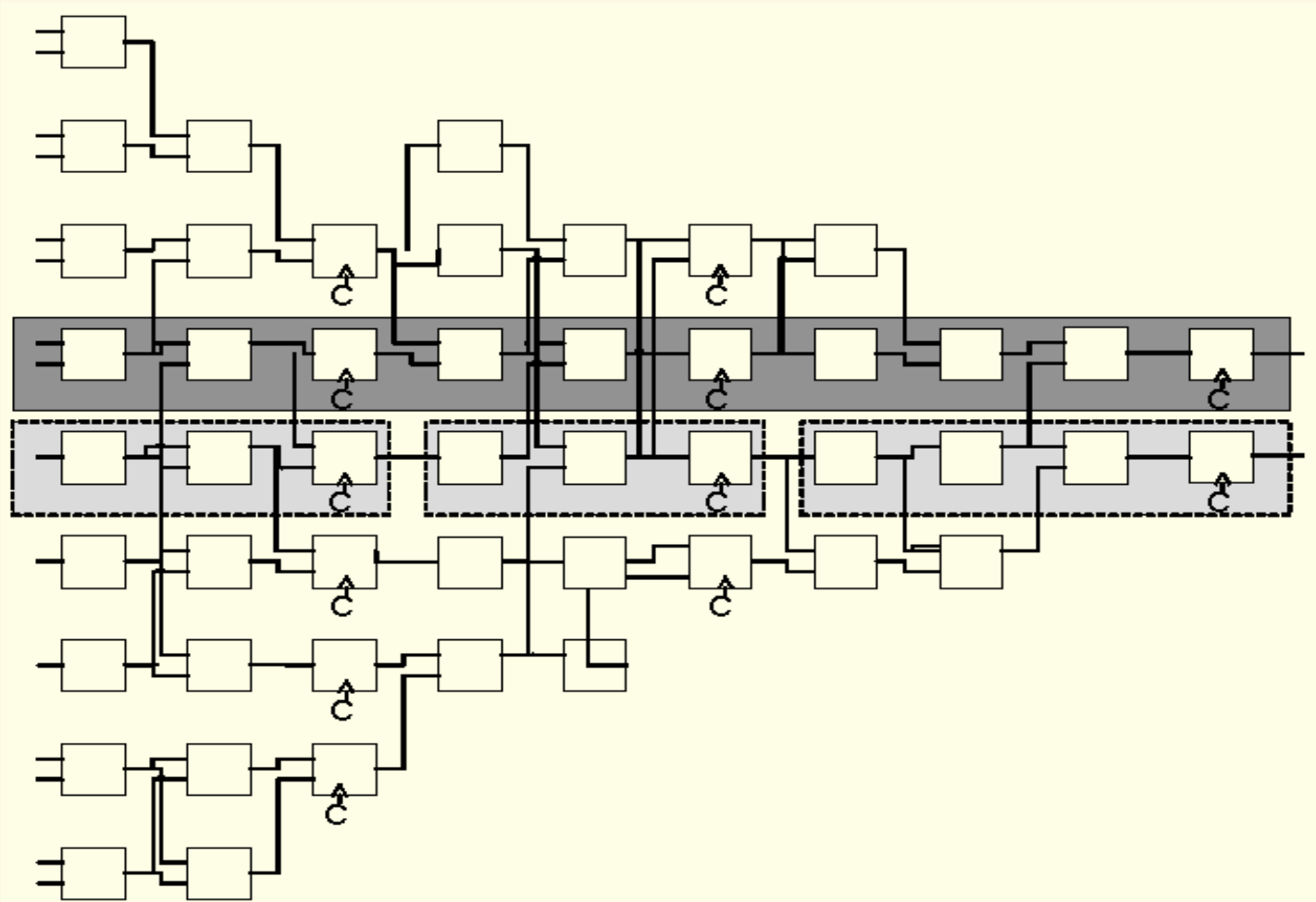
Zusatz: universale Logik I



Zusatz: universale Logik II



Zusatz: variable Kettenlänge



Zusatz: virtuelle Buffer

