

# O uso do clock assíncrono para aumento da confiabilidade de circuitos QCA

Dayane Alfenas Reis  
Escola de Engenharia Eletrônica  
Universidade Federal de Minas Gerais  
Belo Horizonte, Brasil  
dayanealf@ufmg.br

Frank Sill Torres  
Departamento de Engenharia Eletrônica  
Universidade Federal de Minas Gerais  
Belo Horizonte, Brasil  
franksill@ufmg.br

**Resumo**— O correto sequenciamento das informações é um requisito básico para o funcionamento de todo circuito desenvolvido na tecnologia QCA (Quantum-dot Cellular Automata). Dessa forma, faz-se necessário garantir que variações nos sinais de *clock*, responsáveis pela sincronização, não comprometam a confiabilidade do sistema. Esses sinais se dividem em quatro zonas com uma defasagem ideal de noventa graus entre si. Eventuais desvios de fase podem afetar negativamente a confiabilidade de um sistema. O presente trabalho propõe, pela primeira vez, o uso do *clock* assíncrono para sequenciamento de informações. Seu conceito baseia-se na mudança dos tempos das quatro fases do *clock* QCA, tradicionalmente equivalentes. A fase de *hold* é estendida, em detrimento da fase de *relax*, que por sua vez, é encurtada. A tolerância à desvios de fase é verificada através da realização testes de simulação em quatro estruturas QCA (*fio*, *fio em L*, *fanout 2* e *fanout 3*), para circuitos de *clock* síncrono e assíncrono. Os resultados mostram acréscimo na confiabilidade com o uso do *clock* assíncrono para todas as estruturas, na faixa de desvios de zero a quarenta e cinco graus, com diferentes relações de tempos das fases de *hold* e *relax* – definidas pelo parâmetro de assincronia. Tendo em vista o aumento da confiabilidade dos projetos QCA, como trabalho futuro propõe-se a investigação de técnicas de ajuste mais precisas, que melhorem a previsibilidade dos efeitos decorrentes do uso do *clock* assíncrono.

**Palavras-chave**—QCA; confiabilidade, circuito de *clock*, deslocamento de fase, *clock* assíncrono.

## I. INTRODUÇÃO

O processo de miniaturização dos dispositivos CMOS possibilitou a integração e, conseqüentemente o aumento da densidade de dispositivos em um único circuito integrado. Entretanto, as questões relativas ao aumento do consumo de energia tomaram as maiores proporções desde o anúncio da Lei de Moore [1]. Nanotecnologias emergentes como o QCA são consideradas opções promissoras para a sucessão do CMOS convencional no projeto de circuitos integrados. Dentre as principais vantagens dessa nanotecnologia destacam-se o baixo consumo de energia, as dimensões manométricas - na faixa de 2 a 18 nm por dispositivo – e as velocidades muito altas esperadas [2]. Porém, como uma tecnologia nova, QCA tem ainda muitos desafios a serem superados. O principal deles está relacionado às possibilidades de fabricação dos dispositivos e circuitos].

A célula é a unidade básica do QCA, onde estão confinados dois elétrons livres para ocupar duas das quatro posições disponíveis. A troca de posição de um elétron é possível através de tunelamento quântico, que ocorre por intermédio de um mecanismo controlado por um circuito externo de *clock*. O controle por circuito externo garante que as mudanças no nível de polarização ocorram de forma adiabática, no momento desejado. Se as mudanças de polarização nas células QCA acontecerem de forma abrupta, o sincronismo do circuito pode ser comprometido. Como consequência, a informação transmitida pode ser perdida ou erroneamente processada, podendo acarretar diminuição da confiabilidade.

O circuito de *clock* tem em suas saídas quatro sinais idênticos, naturalmente defasados de noventa graus entre si. Cada um destes sinais é conectado à uma zona de *clock*, de forma a permitir que o fluxo de informação nos circuitos ocorra de forma sequencial, no sentido das entradas para as saídas. Eventuais desvios de fase nos sinais de *clock* são indesejáveis, pois podem prejudicar a transmissão da informação ou o processamento da lógica. Em QCA, cada período de um sinal de *clock* é dividido em quatro intervalos idênticos, correspondentes à diferentes etapas do processo de polarização/despolarização de uma célula.

Este trabalho propõe um sinal de *clock* assíncrono, isto é, um sinal onde as etapas tenham durações distintas, para promover o aumento da confiabilidade dos circuitos QCA. Mais especificamente, pretende-se aumentar o tempo da etapa de *hold* em detrimento da etapa de *relax*, esperando-se que o nível de polarização de uma célula se mantenha estável por mais tempo antes da despolarização, como forma de compensação de eventuais desvios de fase.

O conteúdo deste artigo está distribuído conforme o seguinte. A seção II (sub seção A) apresenta os conceitos básicos da nanotecnologia QCA com ênfase nos sinais de *clock*, enquanto a seção II (sub seção B) explora os desvios de fase e suas eventuais conseqüências. A seção III define o *clock* assíncrono como alternativa para aumento da confiabilidade de circuitos QCA submetidos a desvios de fase, enquanto a seção IV apresenta os resultados dos testes realizados com quatro estruturas. Finalmente, a seção V conclui o artigo trazendo as considerações finais e algumas sugestões para trabalhos futuros.

## II. CONCEITOS BÁSICOS

### A. Quantum-Dot Cellular Automata

QCA [3] é um novo paradigma em computação, onde a transferência de informações e o processamento de lógica ocorre sem fluxo de corrente elétrica, por intermédio da interação entre cargas elétricas segundo às leis de Coulomb.

A transição entre os níveis de polarização em uma célula QCA deve ocorrer de maneira adiabática [4], o que significa que o ajuste das barreiras potenciais entre os pontos quânticos de uma célula acontece de maneira gradual. Um circuito externo de *clock* fornece os sinais de controle necessários para o processo de mudança adiabática. Ele tem quatro saídas para sinais idênticos, defasados de noventa graus entre si. O circuito QCA é dividido em pedaços menores, distribuídos sequencialmente em quatro zonas de *clock*. Dessa maneira, o sinal proveniente de cada saída controla o processo de polarização/ despolarização de cada zona de *clock* de forma independente. O circuito de *clock* e a divisão em zonas estão ilustrados na Fig. 1.

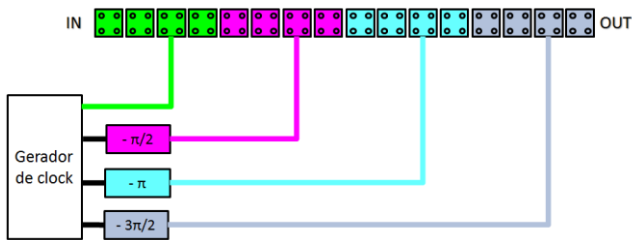


Fig. 1. O circuito gerador de *clock*, que fornece quatro sinais defasados de noventa graus entre si. Estes sinais são distribuídos dentre as zonas de *clock*.

O sinal de *clock* é dividido em quatro fases, a saber: *Switch*, *hold*, *release* e *relax*, conforme ilustrado na Fig. 2. Em geral, o sinal de *clock* em QCA é síncrono, ou seja, todas as suas fases tem a mesma duração. Na fase de *switch*, a célula está susceptível a influências externas e de células vizinhas que podem levar a alterações em seu estado lógico. Na fase de *hold*, a célula não deve ser vulnerável a influências que possam alterar seu nível de polarização e/ou estado lógico. Na fase de *release* ocorre a despolarização total da célula, que assim permanece durante toda a fase seguinte (*relax*), até o início de um novo período do ciclo de *clock*. Dessa forma, garante-se um intervalo de descanso destinado a certificar-se da ausência de quaisquer vestígios de polarização residual na célula. Mais informações sobre QCA e sobre o *clock* em QCA podem ser encontradas em [5-7].

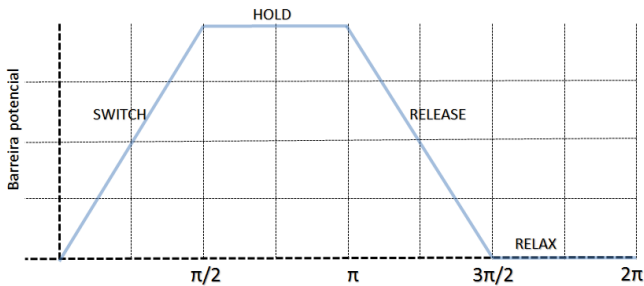


Fig. 2. Um período de um sinal de *clock* síncrono.

### B. Desvios de fase

Conforme mencionado na sub seção A, o circuito de *clock* é responsável por fornecer quatro sinais idênticos defasados de noventa graus entre si, destinados a realizar o sequenciamento de informações em QCA. Entretanto, imprecisões no processo de fabricação e variações de temperatura no circuito gerador podem acarretar em desvios de fase. A defasagem de um sinal de *clock* pode ser modelada conforme (1).

$$X = 90^\circ \cdot i \pm \sigma \quad (1)$$

Onde:

$X$  = Defasagem do *clock* em graus

$i$  = Índice do sinal (0 a 3) em unidades

$\sigma$  = Desvio de fase em graus

Os desvios de fase nos sinais de *clock*, representados por  $\sigma$ , e suas consequências na operação dos circuitos QCA foram investigados em [8]. Conforme pontuado pelos autores, os desvios de fase tem ocorrência mais provável na faixa de zero a quarenta e cinco graus. Desvios maiores implicariam em mudança de fase do sinal, e estão menos sujeitos a acontecer.

A interferência dos desvios de fase no funcionamento do circuito QCA ocorre devido à dependência dessa nanotecnologia ao sequenciamento de fases ao longo das zonas de *clock*. Por isso, é essencial que a informação transferida para uma zona na fase de *switch* seja armazenada enquanto esta mesma zona estiver na fase de *hold*. Nesse intervalo de tempo, a informação se propaga à próxima zona, em *switch*. Um desvio de fase pode fazer com que a fase de *hold* dê lugar à etapa de *release* (despolarização) de forma precoce. Assim, a zona se despolarizaria antes do previsto, inviabilizando a transmissão da informação à zona subsequente. A Fig. 3 mostra um exemplo onde se aplicaram desvios de fase arbitrários aos sinais de *clock* das zonas 0 e 1.

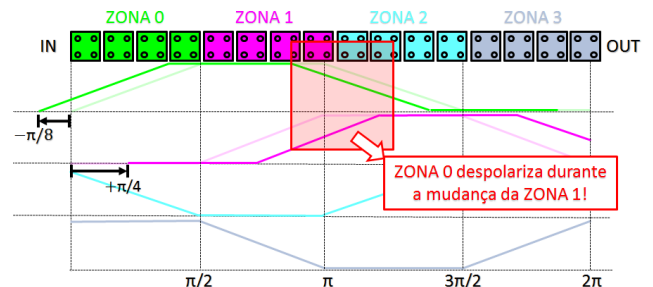


Fig. 3. Sinais de *clock* submetidos a desvios de fase arbitrários. O sinal da zona 0 está adiantado em  $\pi$  sobre oito radianos (aproximadamente vinte e dois vírgula cinco graus) enquanto o sinal da zona 1 está atrasado em quarenta e cinco graus. Conforme destacado na figura, a despolarização da zona 0 ocorre durante a etapa de *switch* da zona 1, o que implica em problemas na propagação da informação.

## III. CLOCK ASSÍNCRONO

Tradicionalmente, os circuitos QCA utilizam sinais de *clock* síncrono para controle do fluxo de informações entre zonas. Nesse tipo de *clock*, o período total  $T$  é de duas vezes  $\pi$

radianos ou trezentos e sessenta graus, divididos em quatro fases de igual duração, ou seja,  $\pi$  sobre dois radianos ou noventa graus.

O *clock* assíncrono é proposto neste trabalho como uma alternativa para aumento da tolerância dos circuitos QCA aos desvios de fase. Nele, o período total  $T$  e a duração das fases de *switch* e *release* permanecem inalterados. Entretanto, os tempos das fases de *hold* e *relax* sofrem as alterações descritas em (2).

$$T_{\text{hold}} = (1+\alpha) \cdot 90^\circ; \quad T_{\text{relax}} = (1-\alpha) \cdot 90^\circ \quad (2)$$

Onde:

$\alpha$  = Parâmetro de assincronia ( $0 \leq \alpha < 1$ )

O parâmetro de assincronia é responsável por definir um aumento percentual na fase de *hold* em detrimento da fase de *relax*. Com isso, espera-se que a informação transferida a uma zona de *clock* na fase de *switch* seja armazenada por um instante maior antes do início do processo de despolarização, que ocorre na fase de *release*. A fase seguinte, de *relax*, servirá apenas como um intervalo de descanso que assegura que as células da zona estão livres de polarização residual. Portanto, a diminuição da duração do tempo de *relax* não deve ter implicações sérias no funcionamento do circuito, contando que um intervalo mínimo seja respeitado.

A Fig. 4 remete ao mesmo exemplo de desvios de fase arbitrários nos sinais de *clock* da Fig. 3. Porém, no lugar do *clock* síncrono foi utilizado o *clock* assíncrono com  $\alpha=0,5$ .

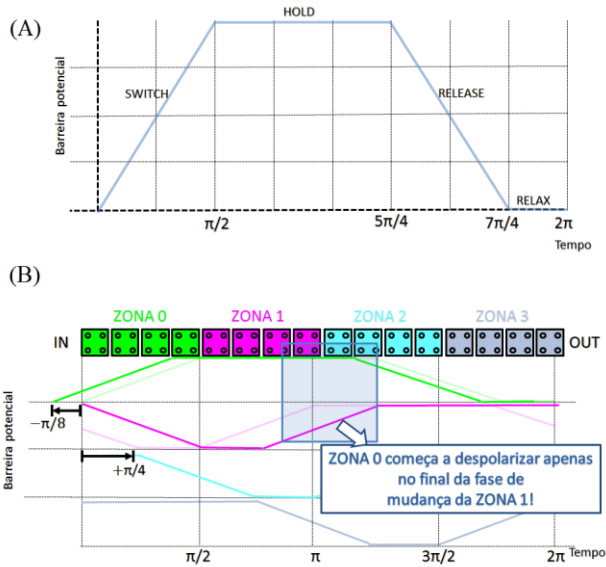


Fig. 4. (A) Um período do sinal de clock assíncrono com  $\alpha=0,5$ . (B) Sinais de clock assíncronos submetidos aos mesmos desvios de fase arbitrários da Fig. 3. Conforme destacado, a despolarização da zona 0 ocorre apenas nos instantes finais da etapa de *switch* da zona 1, aumentando consideravelmente as chances de propagação da informação de maneira correta.

A estratégia de definição do parâmetro  $\alpha$  é experimental, uma vez que a resposta das várias estruturas QCA à sua variação pode ser diversa.

#### IV. TESTES E RESULTADOS

Para mensurar as alterações nos níveis de confiabilidade de quatro estruturas QCA submetidas a desvios de fase, foram realizados alguns testes com circuitos de *clock* assíncrono comparativamente ao *clock* síncrono. Os testes foram feitos na ferramenta de projeto e simulação QCADesigner [9], onde o mecanismo de teste utilizado foi o *Coherence Vector*, onde todos os parâmetros foram configurados conforme o padrão do simulador. Seguindo as orientações de [REF], o teste de desvios de fase em circuitos de clock em QCA utilizou um vetor de entradas fixo. Dessa maneira, evitou-se que o tipo de mudança de estado lógico (de zero para um ou de um para zero) interferisse no resultado final do nível de confiabilidade das estruturas. A Fig. 5 mostra as estruturas QCA utilizadas, enquanto a Tabela 1 sintetiza as informações gerais a respeito dos testes.

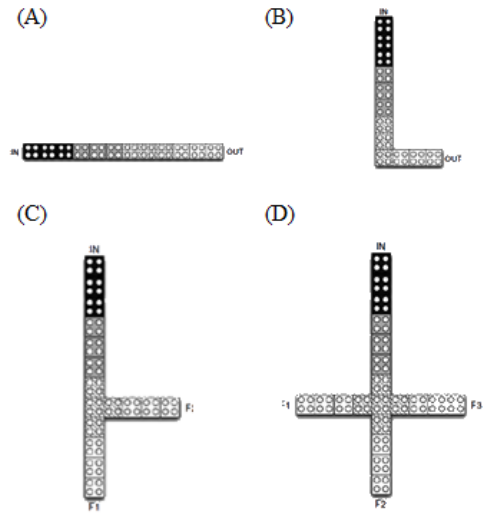


Fig. 5. Estruturas QCA utilizadas nos testes. (A) Fio regular (B) Fio em L (C) Fanout-2 (D) Fanout-3

TABELA I. SUMÁRIO DOS TESTES

Índice do teste <sup>a</sup>	Valor de $\alpha$	Estrutura	Número de simulações
1	0,1	Fio regular	2000
2	0,2		
3	0,3		
4	0,4		
5	0,1	Fio em L	2000
6	0,2		
7	0,3		
8	0,4		
9	0,1	Fanout-2	2000
10	0,2		
11	0,3		
12	0,4		
13	0,1	Fanout-3	2000
14	0,2		
15	0,3		
16	0,4		

<sup>a</sup> Para todos os testes, os desvios de fase foram obtidos aleatoriamente na faixa de 0 a 90°.

Conforme informações do sumário dos testes (Tabela 1), foram realizadas dezesseis bateladas de 2000 simulações, onde

o parâmetro  $\alpha$  foi escolhido dentre quatro valores possíveis e os desvios de fase aos quais os sinais de *clock* foram submetidos foram definidos aleatoriamente dentro da faixa de 0 a 90°. Essa faixa compreende valores além dos 45° sugeridos em [8], que foram utilizados para certificar-se que o clock assíncrono não impede o funcionamento do circuito, mesmo se grandes desvios de fase forem aplicados.

Devido às restrições de espaço, apenas os resultados dos testes realizados para o fio regular (índices 1, 2, 3 e 4) e para o fanout-2 (índices 9, 10, 11 e 12) serão apresentados nas Tabelas II e III.

TABELA I. PERCENTUAL DAS SIMULAÇÕES SEM FALHAS – FIO REGULAR

Assincronia $\alpha$	Faixa dos desvios aleatórios		Média entre faixas
	0 a 45 °	45 a 90°	
0 (clock síncrono)	96 %	72%	84%
0,1	100%	73%	86%
0,2	100%	70%	85%
0,3	100%	71%	86%
0,4	100%	72%	86%

TABELA I. PERCENTUAL DAS SIMULAÇÕES SEM FALHAS – FANOUT-2

Assincronia $\alpha$	Faixa dos desvios aleatórios		Média entre faixas
	0 a 45 °	45 a 90°	
0 (clock síncrono)	96%	50%	73%
0,1	100%	50%	75%
0,2	98%	51%	74%
0,3	93%	49%	71%
0,4	90%	50%	70%

Para o fio regular na faixa de 0 a 45°, todos os parâmetros de assincronia utilizados possibilitaram a total eliminação de erros devido à desvios de fase. Na faixa além dos 45° até 90°, o percentual dos circuitos sem falha oscilou em torno dos 72%, o que não representa diferença significativa em relação ao clock síncrono.

Para o fanout-2 na faixa de 0 a 45°, apenas os valores de  $\alpha=0,1$  e  $\alpha=0,2$  ofereceram aumento de confiabilidade para as estruturas. Houve um decréscimo médio de 4,5% no percentual dos circuitos sem falhas quando o parâmetro  $\alpha$  foi de 0,3 ou 0,4. Essa queda de confiabilidade indica que é preciso cautela ao reduzir o tempo de *relax* para aumentar o tempo de *hold*, pois a despolarização completa da célula precisa ser mantida em um intervalo de tempo precedente ao ciclo de *clock* seguinte. Na faixa além dos 45° até 90°, o percentual dos circuitos sem falha oscilou em torno dos 50%, o que não representa diferença significativa em relação ao *clock* síncrono.

## V. CONCLUSÕES

A nanotecnologia QCA é muito sensível ao sequenciamento da informação ao longo das células, tarefa desempenhada por um circuito externo específico – o circuito de *clock*. Variações de temperatura e/ou no processo de fabricação desses circuitos podem acarretar em desvios de fase que se somam à defasagem natural de noventa graus que deve existir entre as zonas de *clock*. O efeito dos desvios de fase na confiabilidade dos circuitos QCA é explorado ao longo deste trabalho, que propõe o uso do *clock* assíncrono para aumentar o percentual de simulações sem falhas. O parâmetro  $\alpha$  precisa ser ajustado para proporcionar aumento da fase de *hold* em detrimento da fase de *relax* no sinal de *clock*. Dessa forma, garante-se que o estado lógico será armazenado nas células antes do início da fase de despolarização por um intervalo maior. Valores muito grandes de  $\alpha$  devem ser evitados, pois uma fase de *relax* muito curta não é capaz de garantir que a zona fique despolarizada por tempo suficiente antes do início de um novo ciclo de *clock*.

Como trabalho futuro, sugere-se avaliar a interferência do parâmetro  $\alpha$  na confiabilidade de várias estruturas QCA. Desse modo, espera-se encontrar um método generalista e eficaz para a determinação da assincronia. Ainda, sugere-se investigar o efeito da assincronia do *clock* realizada com outras fases senão o *hold* e o *relax*.

## ACKNOWLEDGMENT

We gratefully thank CAPES, CNPq, FAPEMIG and PRPq/UFMG for the financial support.

## REFERENCES

- [1] G. E. Moore. Cramming More Components onto Integrated Circuits. *Electronics Magazine*, page 4, 1965.
- [2] K. Kim, K. Wu e R. Karri. “Quantum-dot cellular automata design guideline,” *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, Vol. E89-A, n° 6, pp. 1607-1614, 2006.
- [3] C. Lent e D. Tougaw, A Device Architecture for Computing with Quantum Dots. In *Proceedings of The IEEE*, 85(4), 1997.
- [4] Welland, M. E. and Gimzewski, J. K. *Ultimate limits of fabrication and measurement*. Springer. 1995
- [5] C.S. Lent, P.D. Tougaw, W. Porod and G.H. Bernstein. “Quantum cellular automata”, *Nanotechnology*, 1993, 4, pp. 49-57
- [6] F. Lombardi, J. Huang. “Design and Test of Digital Circuits by Quantum-Dot Cellular Automata”. Artech House: Boston, 2007.
- [7] M.T. Niemier. “Designing Digital Systems in Quantum Cellular Automata”, Master’s Thesis, University of Notre Dame, 2004
- [8] F. Karim et al, ” Modeling and Evaluating Errors Due to Random Clock Shifts in Quantum-Dot Cellular Automata Circuits ”. *JETTA* Vol. 25 , Issue 1, pp. 55 – 66, 2009.
- [9] K. Walus. QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata. *IEEE Transactions on Nanotechnology*, 3, 1, 1536-125X, 2004.