Computação Confiável com Quantum-Dot Cellular Automata (QCA)

W. D. P. Santos[a] and F. Sill Torres[b]
[a] Universidade Federal de Minas Gerais, MG, Brasil
[b] Departamento de Engenharia Eletrônica, Universidade Federal de Minas Gerais, MG, Brasil
e-mail: franksill@ufmg.br

1. Abstract

In this paper, a methodology for robustness analysis of devices in QCA technology is proposed. Defects will be modeled in order to ensure a correct analysis of failures in logic levels of the tested structures, simulating some situations to be faced in the manufacturing process. This methodology will be applied in the evaluation of various devices and the results will be discussed. Once the reliability problems of some structures are known, new devices will be proposed in order to obtain better reliability parameters. These structures will also be subjected to tests to verify the robustness, thus allowing a comparison with the classical devices.

2. Introdução

O constante desenvolvimento tecnológico demanda cada vez mais o aumento da capacidade de processamento e transmissão de dados dos dispositivos eletrônicos. Devido a essa demanda, a densidade computacional dos circuitos integrados tem crescido exponencialmente, conforme previsto em 1965 por Gordon Moore [1], atingindo níveis críticos de maneira rápida. Para solucionar tal problema, a indústria de microeletrônica tem buscado incessantemente a redução de tamanho dos dispositivos, com o intuito de permitir que mais componentes sejam inseridos em um circuito integrado. Esse fato, por sua vez, confronta-se com os limites físicos das tecnologias existentes.

Atualmente, a tecnologia dominante na maioria dos sistemas integrados em larga escala (Very-large Scale Integration - VLSI) é a CMOS (Complemantary metal-oxide semiconductor). Isso se deve à sua capacidade de prover dispositivos pequenos e com altas velocidades, atendendo às necessidades de miniaturização dos circuitos. Entretanto, assim como diversas outras tecnologias que usam transistores como chaves, representando informações binárias através de correntes elétricas e tensões, a CMOS está prestes a atingir seu limite físico de miniaturização.

O caminho natural para a continuação da evolução tecnológica possibilitada pelo uso da CMOS reside no desenvolvimento da nanoeletrônica. Nesse contexto, uma das arquiteturas atualmente investigadas e que apresenta um grande potencial para substituir a CMOS é conhecida como Quantum-Dot Cellular Automata (QCA) [2], [3].

Neste trabalho será proposta uma metodologia de análise da robustez de dispositivos em QCA. Os defeitos serão modelados de forma a garantir uma correta análise de falhas em níveis lógicos das estruturas testadas [4], aproximando-se ao máximo das situações a serem enfrentadas no processo de fabricação. Tal metodologia será aplicada na avaliação de diversos dispositivos e os resultados serão discutidos. A partir das análises feitas, serão propostas novas estruturas com o objetivo de suprir as falhas de confiabilidade identificadas nas demais. Estas também serão submetidas a testes para verificação da robustez, permitindo assim a comparação com as estruturas clássicas.

3. Revisão Bibliográfica

A. Conceitos Básicos de QCA

Quantum-Dot Cellular Automata (QCA) são modelos de computação clássica criados em analogia aos modelos de autômatos celulares introduzidos por Von Neumann [5]. Os dispositivos em QCA são estruturas quânticas, cuja unidade básica é a célula.

As células típicas possuem quatro pontos quânticos, localizados próximos a seus vértices. Esses pontos representam poços de potenciais nos quais elétrons podem ser encontrados. Em geral, cada célula possui dois elétrons livres que podem se mover de um ponto a outro. Porém, devido a barreiras de potenciais, tais elétrons não podem se mover de uma célula para outra.

De acordo com a disposição dos elétrons em uma célula, dois arranjos estáveis de polarização podem ser estabelecidos. Tais arranjos, tratados também como estados, são usados para representar informação binária em uma célula. Por convenção, a polarização +1 representa nível lógico 1 e a polarização -1 representa nível lógico 0.

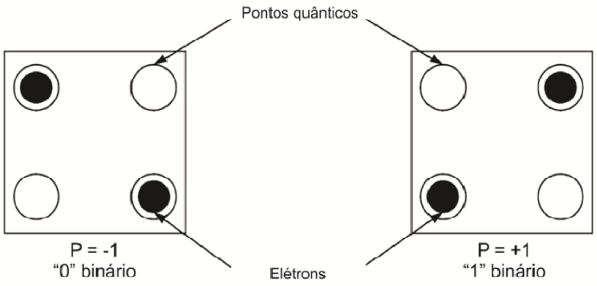

Fig.1. *Células quânticas e níveis lógicos.*

Quando uma célula é colocada próxima a outra ocorrem interações eletrostáticas entre suas cargas. Dessa maneira o estado de uma célula é capaz de influenciar o estado de suas vizinhas, permitindo que informação binária se propague e que operações lógicas sejam realizadas.

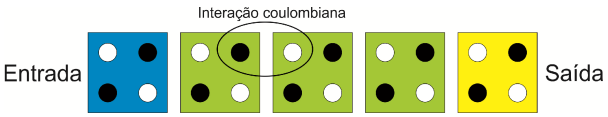

Fig.2. *Fio em QCA*

B. Defeitos e falhas em QCA

Um "defeito" é definido como sendo uma alteração em um dispositivo em relação à sua forma ideal. Tal alteração pode ser em termos de orientação, localização ou de formato. Um dispositivo defeituoso não necessariamente apresenta um comportamento lógico errado. Quando isto ocorre diz-se que o dispositivo é robusto, sendo robustez a capacidade de operar corretamente mesmo não sendo a estrutura perfeita.

Uma "falha" é definida como sendo um comportamento lógico errado do dispositivo devido a um defeito presente na estrutura ou a uma interferência. No presente trabalho são considerados dos dois tipos de falhas: inversão do sinal e desvanecimento. Na falha de inversão o sinal de saída possui valor lógico oposto ao esperado para aquele dispositivo. Na falha de desvanecimento o sinal de saída apresenta-se enfraquecido em relação às entradas, impossibilitando sua propagação efetiva para as células posteriores.

4. Metodologia desenvolvida para análise da robustez em QCA

A. Descrição da metodologia

A metodologia apresentada neste trabalho tem o objetivo de permitir que uma estrutura em QCA seja analisada de maneira minuciosa quanto à sua robustez, possibilitando uma comparação com estruturas semelhantes e verificando a viabilidade de sua utilização em determinadas situações. Tal metodologia é composta por sete etapas, descritas a seguir e representadas na figura 3.

Caracterização da estrutura. Consiste na escolha das estruturas a serem testadas e registro de suas informações básicas, tais como número de células, raio de efeito, número de pontos quânticos e distância entre as células.

Escolha do simulador. Nesta etapa é definido o software a ser usado na realização dos testes. No presente trabalho foi usado o QCADesigner no modo Coherence Vector.

Criação das estruturas no simulador. Nesta etapa as estruturas escolhidas devem ser criadas no ambiente de simulação a ser usado.

Definição dos defeitos. Escolha dos defeitos a serem testados. Neste trabalho foram considerados os seguintes: desalinhamento de células; ausência de células; rotação de células; espaçamento entre células.

Realização de testes aleatórios. O objetivo dos testes aleatórios é identificar e quantificar as falhas que podem ocorrer nas estruturas em QCA quando submetidas a diferentes defeitos. Para tanto, propõe-se que seja realizado um conjunto de testes para cada defeito a ser analisado e ao final um último conjunto de testes aplicando todos os defeitos simultaneamente. Propõe-se que cada conjunto seja dividido em três grupos: inserção de defeitos equivalentes à 10% do número total de células da estrutura, depois 30% e por fim 50%. Neste trabalho foram realizados dez simulações para cada grupo de cada conjunto. Como exemplo, para o defeito "desalinhamento de células" foram realizados os seguintes testes: dez simulações inserindo defeitos em 10% do número do total de células, dez simulações inserindo defeitos em 30% do número total de células e dez simulações inserindo defeitos em 50% do número total de células.

Realização de testes específicos. Estes testes tem o objetivo de identificar particularidades de cada dispositivo em QCA, como células sensíveis à remoção. Propõe-se que sejam verificadas as seguintes situações: existência de células sensíveis à remoção; existência de pares de células sensíveis à remoção; ocorrência de falhas causadas pela alocação indevida de entradas e saídas.

Conclusões e relatórios. Avaliação dos resultados obtidos e conversão dos dados em parâmetros de robustez, permitindo a confecção de um relatório final para cada estrutura analisada.

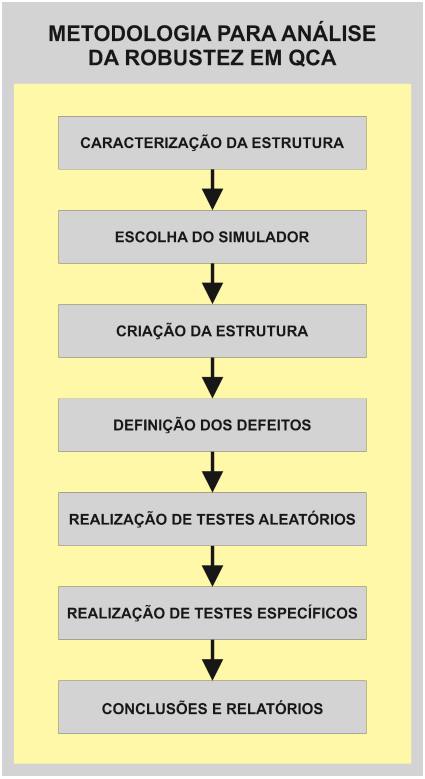

Fig.3. *Metodologia para análise da robustez em QCA.*

B. Parâmetros de robustez

Reliability Level (RL): Parâmetro que sintetiza os resultados obtidos nos testes aleatórios. Faixa de valores possíveis: 0 a 10, sendo 10 uma estrutura muito robusta. Tal parâmetro é obtido somando-se índices obtidos em cada grupo de testes para cada defeito. Tais índices são apresentados na tabela 1.

***Tabela 1**. Índices para o cálculo do parâmetro RL*

Falhas verificadas nas simulações	Índices para defeitos em 10% das células	Índices para defeitos em 30% das células	Índices para defeitos em 50% das células
0%	10	10	10
10% a 30%	4,2	5,6	7
40% a 50%	2,4	3,2	4
60% ou mais	0	0	0

Uma estrutura com o número de falhas igual ou superior à 60% do número de simulações realizadas consiste em uma estrutura crítica. Por essa razão, consideramos falhas igual ou superior a 60% como tendo índice zero. Dada a divisão de índices mostrada na tabela 1, cada tipo de defeito testado poderá atingir a soma máxima de trinta e o mínimo de zero (lembrando que são três grupos - defeitos em 10% das células, 30% e 50% - para cada conjunto de testes, sendo realizadas dez simulações para cada grupo). Como são cinco conjuntos diferentes de testes (desalinhamento de células, ausência de células, rotação de células, espaçamento entre células e todos os anteriores simultaneamente), temos um máximo acumulado de cento e cinquenta e um mínimo acumulado de zero. Para que as comparações utilizem números menores, é feita uma normalização através da divisão dos índices finais de cada estrutura por 15. Dessa maneira obtemos um índice de robustez que varia entre 0 e 10, sendo 10 uma estrutura altamente robusta.

Individual Sensibility (IS): Percentual de células sensíveis à remoção. É obtido dividindo-se o número de células que resultam em falhas quando removidas pelo número total de células presentes na estrutura.

Pair Sensibility (PS): Parâmetro qualitativo que serve de complemento ao IS. São removidos alguns pares de células vizinhas ao longo da estrutura a fim de verificar a ocorrência ou não de falhas. Seus valores possíveis são: "NF" (no fault), quando não forem verificadas falhas em nenhuma região da estrutura (as regiões analisadas são: pares de células próximas às entradas, pares de células próximas às saídas e pares de células no meio da estrutura); "LF" (low fault), quando forem verificadas falhas em apenas uma região da estrutura; "MF" (medium fault), quando forem verificadas falhas em duas regiões da estrutura; "HF" (high fault): quando forem verificadas falhas nas três regiões da estrutura;

Failures due wrong input and output allocation (FWIA e FWOA). Para calcular esse parâmetro é necessário identificar o número total de células vizinhas diretas das entradas e saídas presentes na estrutura. Em seguida são realizados testes alocando-se as entradas e saídas nas posições de tais vizinhas. FWIA é obtido dividindo-se o número de falhas verificadas na alocação indevida de entradas pelo o número total de vizinhas das entradas, enquanto FWOA é obtido de maneira análoga porém considerando-se as saídas.

5. Análise da robustez de algumas estruturas usando a metodologia proposta

A. Estruturas analisadas

Fio simples. Estrutura linear composta por dez células, tendo uma entrada e uma saída.

Inversor clássico. Estrutura inversora composta por dez células, tendo uma entrada e uma saída.

Inversor simplificado. Estrutura inversora composta por cinco células, tendo uma entrada e uma saída.

Inversor proposto em [6]. Estrutura inversora composta por doze células, tendo uma entrada e uma saída.

Porta majoritária de três entradas clássico (Maj3 clássico). Estrutura que faz uma lógica majoritária entre as três entradas existentes. Possui uma saída.

Porta majoritária de três entradas proposta em [7]. Estrutura que faz uma lógica majoritária entre as três entradas existentes. Possui uma saída.

Porta majoritária de cinco entradas multicamada proposta em [8]. Estrutura que a faz uma lógica majoritária entre as cinco entradas existentes. Possui uma saída.

Porta majoritária de cinco entradas proposta em [9]. Estrutura que a faz uma lógica majoritária entre as cinco entradas existentes. Possui uma saída.

Somador completo (FA) em uma camada (adaptado de [10]). Estrutura somadora disposta em uma única camada.

Somador completo multicamada proposto em [11]. Estrutura somadora disposta em três camadas.

B. Resultados dos testes

As estruturas citadas anteriormente foram submetidas a testes seguindo a metodologia apresentada neste trabalho. Os resultados obtidos são apresentados na tabela 2.

C. Análise dos resultados

Os resultados apresentados na tabela 2 permitem a identificação de pontos críticos em cada dispositivo em termos de robustez. Como exemplo, percebe-se que a estrutura "Somador completo multicamada" possui elevado índice de sensibilidade a remoção de células (94%). Essa é uma das características que a tornam pouco robusta.

***Tabela 2**. Resultados dos testes em estruturas diversas*

Estrutura	RL	IS	PS	FWIA	FWOA
Fio clássico	3,31	10%	LF	0%	0%
INV clássico	1,81	20%	MF	0%	0%
INV simplificado	1,19	20%	MF	0%	0%
INV prop. em [6]	3,53	0%	NF	0%	0%
Maj3 clássico	0,32	56%	HF	0%	0%
Maj3 prop. em [7]	0,16	6%	HF	20%	0%
Maj5 Multicamada prop. em [8]	0	69%	HF	60%	0%
Maj5 Monocama-da prop. em [9]	0	70%	HF	87%	100%
FA* Monocamada	0	79%	MF	100%	0%
FA* Multicamada prop. em [11]	0	94%	HF	100%	0%

*FullAdder

6. Proposta de novas estruturas

A. Estruturas propostas

Baseado nos resultados obtidos através da aplicação da metodologia de análise da robustez, foi possível mapear características em determinadas estruturas que tendem a torná-las mais susceptíveis a falhas, ou seja, menos robustas. Com o intuito de elevar a robustez dos dispositivos básicos usados em QCA (são eles: fios, inversores, portas majoritárias de três entradas e portas majoritárias de cinco entradas), foram desenvolvidos novos layouts para tais dispositivos. Essa construção teve como base os parâmetros que apresentaram piores índices para cada estrutura, buscando-se dessa forma obter valores mais elevados, caracterizando melhorias em termos de confiabilidade. Duas estratégias básicas foram aplicadas: inserção de caminhos redundantes para propagação dos sinais e redução da mobilidade de células críticas através da inserção de fileiras de células. As estruturas desenvolvidas são apresentadas a seguir:

Fio - Estrutura disposta em uma única camada com todas as células na mesma zona de clock. As três fileiras de células geram redundância na propagação de sinal e reduzem a mobilidade das células centrais, minimizando a possibilidade de ocorrência de falhas causadas por defeitos de desalinhamento.

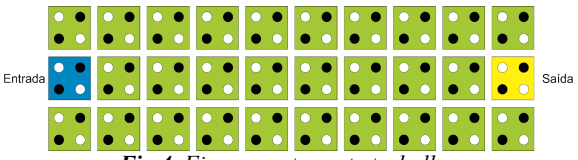

***Fig.4.** Fio proposto neste trabalho.*

Inversor - Estrutura disposta em uma única camada, apresentada na figura 5. As células mais escuras encontram-se em uma zona de clock defasada em 180º em relação as demais, não propagando sinal entre entrada e saída. Dessa forma, esse bloco funciona como uma estrutura rígida com o propósito de reduzir a possibilidade de desalinhamentos. A inversão do sinal é feita entre as células mais claras, todas dispostas em uma mesma zona de clock.

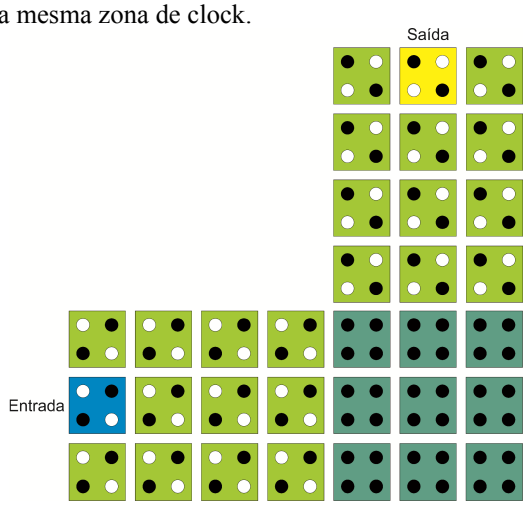

***Fig.5.** Inversor proposto neste trabalho.*

Porta majoritária de três entradas. Estrutura compacta com todas as células dispostas em uma única camada. Por ser um bloco contínuo, a mobilidade das células centrais encontra-se limitada e são criados caminhos redundantes para propagação do sinal entre entradas e saída.O sinal de saída, por sua vez, deve ser conduzido para fora da estrutura através de camadas superiores ou inferiores

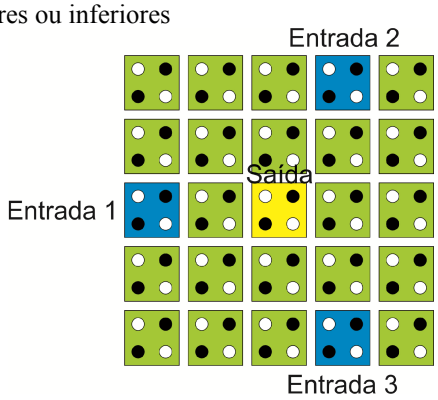

***Fig.6.** Porta MAJ3 proposta neste trabalho.*

Porta majoritária de cinco entradas. Estrutura em uma única camada, constituída por varias fileiras de células alinhadas entre si (figura 7). Essa disposição de células cria caminhos redundantes entre entradas e a saída, além de reduzir a mobilidade das células centrais, o que gera ganhos em termos de redução da possibilidade de ocorrência de falhas causadas por deslocamentos de células individuais. O sinal de saída deve ser conduzido para fora da estrutura através de fios dispostos em outros planos interligados à célula central.

Porta majoritária compacta de cinco entradas. Estrutura em uma única camada com um número reduzido de células dispostas em fileiras paralelas (figura 8). Tal estrutura foi desenvolvida a partir de uma variação da porta majoritária mostrada na figura 7. Sua vantagem encontra-se na forma compacta e na pequena quantidade de células.

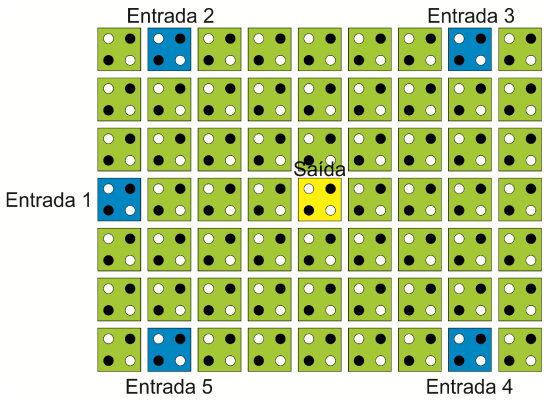

Fig.7. *Porta MAJ5 proposta neste trabalho.*

B. Resultados dos testes

As estruturas desenvolvidas neste trabalho também foram submetidas a testes para determinação de seus parâmetros de robustez. Os resultados obtidos são apresentados na tabela 3, que também traz os resultados obtidos na análise de estruturas propostas por outros autores exibidos anteriormente na tabela 2.

C. Comparações

As estruturas propostas neste trabalho, com exceção das portas majoritárias de cinco entradas, apresentaram melhores índices de robustez quando comparadas com estruturas já existentes, conforme pode ser visto na tabela 3.

Apesar das portas majoritárias de cinco entradas não apresentarem melhores índices que as estruturas do mesmo tipo já existentes, foi possível propor uma estrutura com um número reduzido de células. Essa configuração facilita sua inserção em circuitos complexos, sendo portanto uma vantagem competitiva em relação às demais.

Tabela 3*. Resultados de todos os testes*

Estrutura	RL	IS	PS	FWIA	FWOA
Fio clássico	3,31	10%	LF	0%	0%
Fio prop. aqui	4,41	0%	NF	0%	0%
INV clássico	1,81	20%	MF	0%	0%
INV simplificado	1,19	20%	MF	0%	0%
Inversor prop. em [6]	3,53	0%	NF	0%	0%
Inversor prop. aqui	4,37	0%	NF	0%	0%
Maj3 clássico	0,32	56%	HF	0%	0%
Maj3 prop em [7]	0,16	6%	HF	20%	0%
Maj3 prop. aqui	1,71	16%	HF	0%	0%
Maj5 Multicamada prop. em [8]	0	69%	HF	60%	0%
Maj5 Monocamada prop. em [9]	0	70%	HF	87%	100%
Maj5 prop. aqui	0	70%	HF	68%	100%
Maj5 Comp. prop. aqui	0	83%	HF	85%	100%
FA Monocamada	0	79%	MF	100%	0%
FA Multicamada prop. em [11]	0	94%	HF	100%	0%

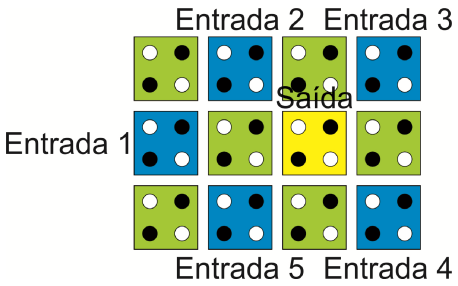

Fig.8. *Porta MAJ5 compacta proposta neste trabalho.*

7. Conclusões

Os dispositivos em QCA representam uma das novas propostas para solução dos problemas de miniaturização enfrentados pelas tecnologias dominantes na atualidade. Entretanto, é preciso evoluir no aspecto da confiabilidade para que tais dispositivos possam ser empregados em problemas práticos.

Os resultados obtidos neste trabalho mostram a grande vulnerabilidade dos dispositivos QCA diante da presença de variados defeitos. Mesmo as estruturas com melhores resultados não foram capazes de atingir valores intermediários em alguns parâmetros, como por exemplo o *RL*, que levou em consideração a aplicação de diversos defeitos de maneira aleatória. Esses resultados, mesmo tendo sido obtidos em nível de simulação, reforçam a necessidade da evolução da tecnologia no aspecto da confiabilidade.

Agradecimentos

Os autores agradecem o suporte financeiro da FAPEMIG, CAPES e CNPq.

Referências

[1] G. Moore."Cramming more components onto integrated circuits". In: Electronics, Volume 38, Number 8. April 1965.

[2] P. D. Tougaw and C. S. Lent, “Logical devices implemented using quantum cellular automata,” J. Appl. Phys., vol. 75, no. 3, pp.1818–1825, 1994.

[3] C. S. Lent, P. D. Tougaw, and W. Porod,“Bistable saturation in coupled quantum dots for quantum cellular automata,”Appl. Phys. Lett., vol. 62,p. 714, 1993

[4] Tahoori MB, Momenzadeh M, Huang J, Lombardi F. "Defects and faults in quantum cellular automata at nanoscale".In: IEEE VLSI Test Symposium 4, 2004.

[5] NEUMANN, J.v., “Collected Works. Volume V: Design of Computers, Theory of Automata and Numerical Analysis”, Pergamon Press, Oxford, 1961.

[6] M. Beard. "Design and simulation of fault-tolerant Quantum-Dot Cellular Automata (QCA) not gates". Bachelor of Science Thesis'. California Institute of Technology, 2003.

[7] A. Finjany and B. Toomarian. "New design for quantum dots cellular automata to obtain fault tolerant logic gates". Journal of Nanoparticle Research 3: 27-37, 2001.

[8] B. Sen, A. Rajoria e B. Sikdar. "Design of efficient full adder in Quantum-Dot Cellular Automata". The Scientific World Journal, Vol. 2013, Maio de 2013.

[9] R. Farazkish. "A new quantum-dot cellular automata fault-tolerant five-input majority gate". Journal of Nanoparticle Research, 2014.

[10] W Wang, K Walus, GA "Quantum-Dot Cellular Automata Adders". In: Nanotechnology, 2003. Volume 2, p.461-464.

[11] Bibhash Sen, Ayush Rajoria, and Biplab K. Sikdar, “Design of Efficient Full Adder in Quantum-Dot Cellular Automata,” The Scientific World Journal, vol. 2013.