

# Reduzierung des Leistungsverbrauchs in *Deep Submicron Designs*

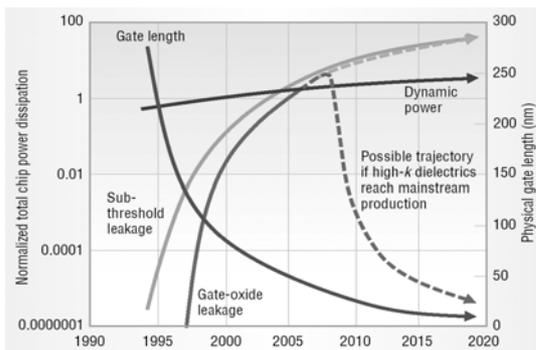
Frank Sill, Frank Grassert, Dirk Timmermann

## 1. Einführung

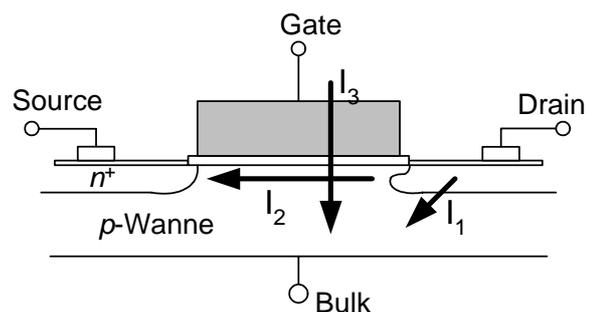
Der Leistungsverbrauch in aktuellen *Deep Submicron Designs* ( $L \leq 0.25\mu\text{m}$ ) ist ein großes technisches Problem. Als Hauptursache gilt dabei der mit abnehmender Strukturgröße exponentielle Anstieg des statischen Leistungsverbrauchs  $P_{leak}$  (siehe Abb. 1). In dieser Arbeit werden Ansätze vorgestellt, mit denen  $P_{leak}$  reduziert werden kann. In Kapitel 2 erfolgt eine kurze Einführung in die Grundlagen des Leistungsverbrauchs in CMOS-Schaltungen. In Kapitel 3 werden die Ansätze vorgestellt und Kapitel 4 enthält die Zusammenfassung.

## 2. Grundlagen

Der Leistungsverbrauch in CMOS-Schaltungen unterteilt sich in drei Unterkomponenten. Dies sind der dynamische Leistungsverbrauch, der Leistungsverbrauch durch Kurzschlussströme und der statische Leistungsverbrauch. Der statische Leistungsverbrauch entsteht durch Leckströme (engl. *leakage currents*), welche im gesperrten Zustand der Transistoren fließen. Die *leakage currents* werden beeinflusst durch die Schwellspannung  $V_{th}$ , die Dimensionierung des Kanals, die Dotierung, die Abmaße der Drain- und Source-Übergänge, die Dicke des Gateoxids, die Versorgungsspannung  $V_{DD}$  und durch die Drain- und Gate-Spannung.



a)



b)

**Abbildung 1**

a) Entwicklung des statischen Leistungsverbrauchs [Kim03]

b) Komponenten des leakage current [Ani03]

Der gesamte Leckstrom eines Transistors setzt sich aus mehreren Teilströmen zusammen (siehe Abb. 1b). Die wichtigsten sind der Stromfluss am  $pn$ -Übergang ( $I_1$ ), die *Subthreshold currents* ( $I_2$ ) und die *Gate Oxid Tunneling currents* ( $I_3$ ). In aktuellen Technologien haben die *Subthreshold currents* ( $I_2$ ) den größten Anteil am statischen Leistungsverbrauch. Mit abnehmender Dicke der Oxidschicht  $T_{ox}$ , steigt jedoch der Einfluss der *Gate Oxid Tunneling currents* ( $I_7$ ), welche den *Gate-leakage* verursachen (siehe Abb. 1a).

Der gesamte Leistungsverbrauch  $P_{ges}$  einer Schaltung ist antiproportional zur Schwellspannung  $V_{th}$ :

$$P_{ges} \propto 10^{-\frac{V_{th}}{S}} \quad (1)$$

$S$  gibt die Steilheit an. Die Berechnungszeit eines CMOS-Gatters, auch als *propagation delay*  $T_{pd}$  bezeichnet, ist proportional zur Schwellspannung:

$$T_{pd} \propto \frac{V_{DD}}{(V_{DD} - V_{th})^{\alpha_K}} \quad (2)$$

$V_{DD}$  ist die Betriebsspannung, und  $\alpha_K$  ist der Parameter des Kurzkanaleffekts, der in aktuellen Technologien ca. 1,3 beträgt.

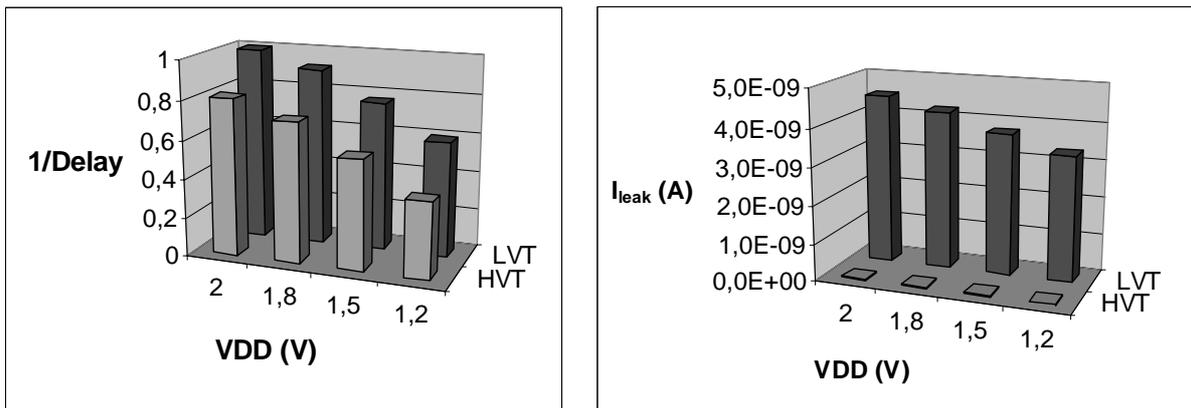
Aus Formel (1) und (2) geht hervor, dass eine hohe Schwellspannung den Leistungsverbrauch reduziert, jedoch gleichzeitig die Bearbeitungszeit verlängert.

### 3. Ansätze zur Reduzierung des statischen Leistungsverbrauchs

Bisher wurde bei Ansätzen zur Reduzierung des Leistungsverbrauchs nur der dynamische Leistungsverbrauch betrachtet. Dabei wurde der Leistungsverbrauch durch Leckströme vernachlässigt. Bei *Deep Submicron Designs* ist dies nicht möglich. Im Folgenden werden grundlegende Ansätze zur Reduzierung der *leakage currents* beschrieben.

#### *Modifikation der Schwellspannung*

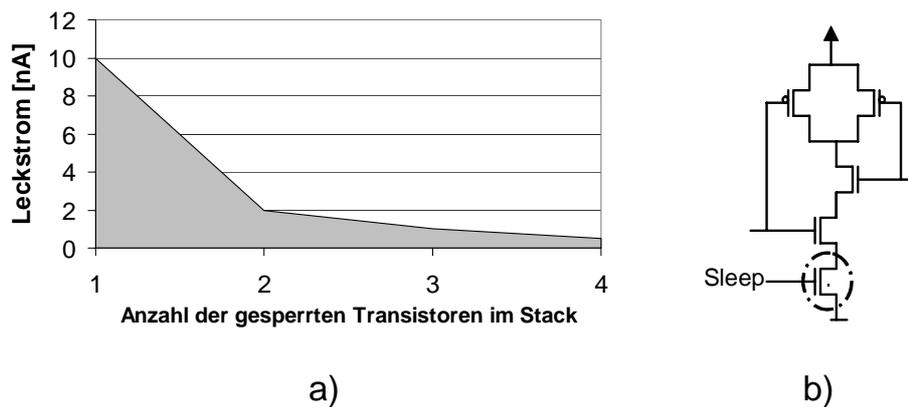
Bei MTCMOS (*Multi-Threshold CMOS*) Technologien werden Transistoren mit unterschiedlichen Schwellspannungen eingesetzt. Diese werden in LVT-Transistoren (*low-threshold voltage*) und HVT-Transistoren (*high-threshold voltage*) unterteilt [Ani03]. Während die schnelleren LVT-Transistoren in den kritischen Pfaden eingesetzt werden, kommen die HVT-Transistoren dann zum Einsatz, wenn die Performance weniger kritisch ist. In Abb. 2 sind die Unterschiede zwischen Performance und Leckströme bei einem  $0,25\mu\text{m}$  Prozess dargestellt [Roy00].



**Abbildung 2** Vergleich von Performance und Leckströmen bei HVT- und LVT-Transistoren bei einem 0,25  $\mu\text{m}$  Prozess [Roy00]

### Hinzufügen von Sleep - Transistoren

Ein weiterer Ansatz ist das Hinzufügen von *Sleep*-Transistoren. Hierbei wird der Effekt ausgenutzt, dass sich der Leckstrom stark reduziert, wenn mehrere Transistoren in Reihe geschaltet sind (siehe Abb. 3a). Es wird ein HVT-Transistor, der als *Sleep*-Transistor bezeichnet wird, zwischen GND und dem Gatter platziert (siehe Abb. 4b) [Ani03]. Der *Sleep*-Transistor wird über das Signal *SLEEP* angesteuert, welches zwischen dem aktiven Zustand ( $SLEEP = 1$ ) und dem Ruhemodus ( $SLEEP = 0$ ) umschaltet. Es kann somit im Ruhemodus, d.h. wenn die Schaltung inaktiv ist, der statische Leistungsverbrauch stark reduziert werden.



**Abbildung 3** a) Leckstrom bei mehreren gesperrten Transistoren in einem Stack (0,25 $\mu\text{m}$ ) b) Hinzufügen eines *Sleep*-Transistors

## Pin-Reordering

Aufgrund der Wechselwirkungen zwischen dem *Gate-leakage* und den *Subthreshold currents*, variiert der Leckstrom eines *Stacks* in Abhängigkeit von der Position des gesperrten Transistors (siehe Tab. 1). Für die logische Funktion ist die Position des Transistors im *Stack* jedoch nicht wichtig. Beim Pin-Reordering wird die Wahrscheinlichkeit, dass ein Transistor sperrt, bestimmt. Daraufhin erfolgt eine Umsortierung der Transistoren im Stack, wobei der Transistor, der am häufigsten sperrt, an das unterste Ende versetzt wird.

Zustand	$I_{gate}$ in [nA]	$I_{sub}$ in [nA]	$I_{total}$ in [nA]
011	6,774	1,522	8,295
101	3,720	0,761	4,481
110	3,720	0,000	3,720

**Table 1** Leckstrom bei einem NAND3 ( $T_{ox}=17\text{\AA}$ ) [Lee03]

## 4. Zusammenfassung

Es wurde gezeigt, dass der statische Leistungsverbrauch in Technologien  $\leq 0,25\mu\text{m}$  exponentiell ansteigt. Weiterhin wurden Ansätze vorgestellt, mit denen die Leckströme in einer Schaltung reduziert werden können. Dazu gehören die Verwendung von Transistoren mit unterschiedlichen Schwellspannungen, der Einsatz von *Sleep*-Transistoren und das Pin-Reordering.

## Literatur

- [Ani03] M. Anis and M. Elmasry. *Multi-Threshold CMOS Digital Circuits*. Kluwer Academic Publishers, 2003.
- [Kim03] Kim et.al. *Leakage Current: Moore's Law Meets Static Power*. In IEEE Computer, December 2003.
- [Lee03] D. Lee, W. Kwong, D. Blaauw, D. Sylvester. Analysis and Minimizing Techniques for Total Leakage Considering Gate Oxid Leakage. In Proceedings of 40th Design Automation Conference (DAC), pp.175-180, June 2003.
- [Roy00] Kaushik Roy and Sharat C. Prasad. *Low power CMOS VLSI circuit design*. John Wiley and Sons, Inc., 2000.

## Verfasser

Dipl.-Ing. Frank Sill, Dipl.-Ing. Frank Grassert, Prof. Dr. Dirk Timmermann  
Universität Rostock / Fakultät IET / Inst. f. Angew. Mikroelek. & Datentechnik  
Richard-Wagner-Str. 31; 18119 Rostock  
e-Mail: {frank.sill, frank.grassert, dirk.timmermann}@etechnik.uni-rostock.de