

# Low Power dynamische Schaltungstechniken und statische Leakage-Reduzierung

F. Grassert, F. Sill, D. Timmermann



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Übersicht

- Kooperation zur Bewertung dynamischer Logiken
  - Vergleiche bzgl. Geschwindigkeit / Energie
  - Entwicklung Testchip
- Leckstromreduzierung in zukünftigen Technologien
  - Mixed- $V_{th}$ -Ansatz
- Zusammenfassung



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Kooperation: Logikvergleich

Abschluss der Arbeiten zu dynamischen Logiken

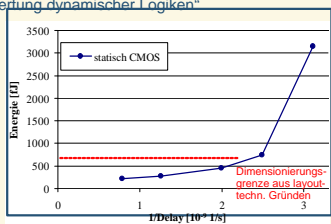
⇒ Kooperationsbeginn: „Bewertung dynamischer Logiken“

Neue prinzipielle Fragen:

- Dimensionierung
- Vergleichsbasis

Weitere Fragen:

- Einfluss von Dimensionierungsschwankungen
- Einfluss von Clock Skew (speziell auf dyn. Logiken)
- Einfluss von Störungen (auf Versorgungsleitungen, kapazitive Kopplungen usw.)



NOR4/NAND4-Kette mit einheitlicher Leitungslast (Dimensionierung 1-, 2-, 5-, 10-, 50-fach)

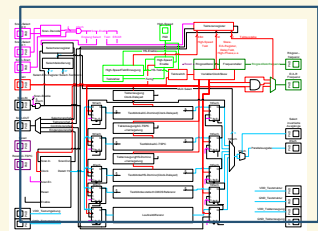


Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Kooperation: Testchip

- Untersuchung und Definition von geeigneten Teststrukturen
- Simulation versch. dynamischer Logiken
- Entwicklung einer Testchiparchitektur und eines flexiblen Taktschemas mit extrem hoher Genauigkeit
- Layout und Simulation der Teststrukturen
- Layout und Simulation des Testchips



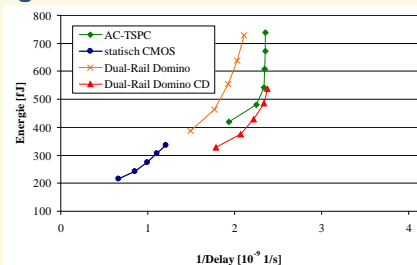
Testchip Architektur



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Vergleich NOR4/NAND4-Kette



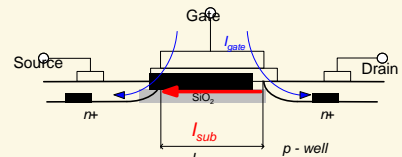
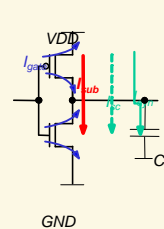
einheitliche Last; 1- ... 6-fach dimensioniert (stat. 1- ... 3-fach); Schematic, Register berechnet, max. Aktivität, Takt approx.



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Verlustleistung bei CMOS



- $I_{sub}$  occurs if  $V_{GS} < V_{th}$
- $I_{sub}$  dominates leakage

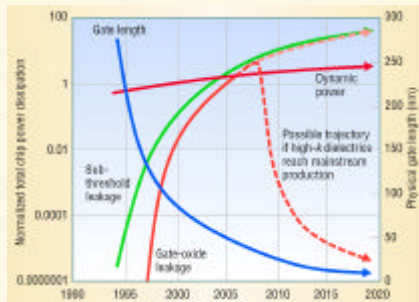
Low power ? Low  $V_{DD}$  ? Low speed ? Low  $V_{th}$  ? High leakage



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung bei niedrigster Leistungsaufnahme

## Leckstromanteile und Trends



Quelle: Kim et al.  
IEEE Computer  
Dec. 03

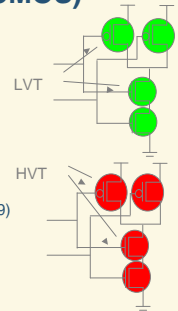


Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme

## Dual Threshold Voltages (DTCMOS)

- Einsatz verschiedener  $V_{th}$ 's
  - $low-V_{th}$  im kritischen Pfad
  - $high-V_{th}$  außerhalb des kritischen Pfades
- ⇒ Reduzierung des Leistungsverbrauchs bei konstanter Performance
- Ansätze auf:
  - Gatterebene (V.Sundararajan, et al., ISLPED'99)
  - Transistorebene (L.Wei, et al., DAC'99)



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme

## Neuer Ansatz: Mixed- $V_{th}$ (MVT) CMOS

- 1. Ziel:** Reduzierung des Leckstroms in schnellen Gattern bei konstanter Berechnungszeit

- standardmäßig alle Transistoren auf gleiches  $\beta$  dimensioniert
- ? unterschiedliche Ausgangsflanken, je nach Gatter
- dann bisher: Sizing der Transistoren

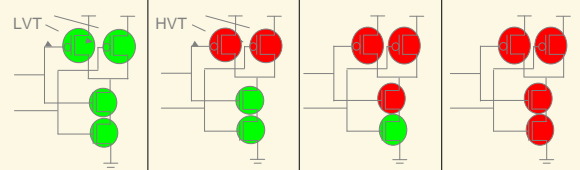
- ▷ Einsatz unterschiedlicher Schwellspannungen innerhalb des Gatters, um Flanken anzupassen

- 2. Ziel:** zusätzliche Gatter bei konstanter Maskenzahl

- Nur zwei Gattertypen bei DTCMOS auf Gatterebene (HVT, LVT)
- Problem: nach Optimierung mehr LVT Gatter als notwendig

- ▷ Mixed- $V_{th}$  innerhalb der Stacks

## MVT- NAND2



### LVT Gatter

- alle MOS sind  $low-V_{th}$
- steigende Flanke ist steiler als fallende Flanke
- min.-delay Gatter

### MLVT Gatter

- PMOS sind  $high-V_{th}$
- steigende und fallende Flanke sind gleich
- min.-delay Gatter

### MVT Gatter

- PMOS und oberer NMOS sind  $high-V_{th}$
- med.-delay Gatter

### HVT Gatter

- alle MOS sind  $high-V_{th}$
- max.-delay Gatter



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

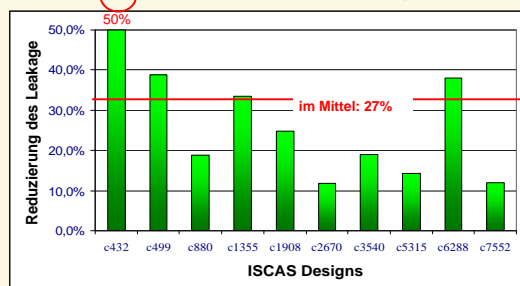
Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme

## MVT vs. DVT Implementierung



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme

## Zusammenfassung

- Erfolgreicher Abschluss der Untersuchungen an dynamischen Logiken
- Darauf aufbauende Kooperation zum Logikvergleich bzgl. Geschwindigkeit und Verlustleistung
  - Auswahl von Vergleichsbasis, Vergleichskriterien, Teststrukturen
  - Aufbau der notwendigen Architektur: Eingangsdaten, Auswertung, Taktgenerierung usw.
  - Untersuchungen über Gültigkeit der Ergebnisse für zukünftige sub-100 nm Technologien
  - Weiterentwicklung der Ansätze zur Automatisierung der Synthese dynamischer Logiken
- Untersuchungen zur Leakageproblematik zukünftiger Technologien
  - Entwicklung eines Multi- $V_{th}$ -Ansatzes mit erheblichem Einsparpotential



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedrigster Leistungsaufnahme

## Veröffentlichungen seit 2001

- [Flu01] S. Fliegel, F. Grassert, M. Grothmann, M. Haase, P. Nilsch, H. Ploog, D. Timmermann, A. Wassatsch, „A Design Flow for 1.28 Gbit/s Triple DES using dynamic logic and standard synthesis tools“, Synopsys User Group (SNUG) Europe, S. E3.2, 1-8, München, März 2001.
- [Was01] A. Wassatsch, F. Grassert, M. Grothmann, D. Timmermann, „Analyse von Synthese-Algorithmen für Pipeline-Strukturen“, Fachtagung Informationstechnik, Universität Magdeburg, ISBN: 3-930385-29-5, S. 17-22, Magdeburg, März 2001.
- [Gra01a] F. Grassert, D. Timmermann, „Dynamic Single Phase Logic with Self-Timed Stages for Power Reduction in Pipeline Circuit Designs“, IEEE International Symposium on Circuits and Systems (ISCAS), Sydney, Mai 2001.
- [Gra01b] F. Grassert, D. Timmermann, „Integration asynchroner Schaltungsansätze zur Verringerung der Verlustleistung in dynamischen Schaltungstechniken mit Einphasentakt“, 10. Symposium Maritime Elektronik, S. 197-200, Rostock, Juni 2001.
- [Gra01c] F. Grassert, A. Wassatsch, D. Timmermann, „Synthese- und Einsatzmöglichkeiten asynchroner, dynamischer Logiken zur Verlustleistungsreduzierung“, 14. Mikroelektroniktagung 2001, OVE-Schriftenreihe Nr.26, S.231-236, Wien, Oktober 2001.
- [Gra02a] F. Grassert, D. Timmermann, „Single-Rail Self-Timed Logic Circuits in Synchronous Designs“, IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2002), Tulsa, August 2002.
- [Bra03] R. Brackebusch, S. Müller, G. Sokornak, F. Grassert, D. Timmermann, „A New Synthesizable Architecture Approach for Verification Environments Applying Transaction-based Methodology“, E.I.S. 2003 - Entwurf Integrierter Schaltungen und Systeme, Erlangen, März/April 2003.
- [Gra03a] F. Grassert, D. Timmermann, „Dynamic Single-rail Self-Timed Logic Structures for Power Efficient Synchronous Pipeline Designs“, Great Lakes Symposium on VLSI, Washington, April 2003.
- [Gra03b] F. Grassert, D. Timmermann, „Dynamic Self-timed Logic Structures“, DEECS 2003.
- [Sil03] F. Sill, F. Grassert, A. Wassatsch, D. Timmermann, „A Design Flow for Asynchronous Dynamic Logic and Standard Synthesis Tools“, SNUG, Boston, September 2003.
- [Sil04] F. Sill, F. Grassert, D. Timmermann, „Low Power Gate-level Design with Mixed-Vth Techniques“, 17th Symposium on Integrated Circuits and Systems (SBCCI), S. 278-282, ISBN: 1-58113-947-0, Porto de Galinhas, Brasilien, September 2004.
- [Sil05] F. Sill, F. Grassert, D. Timmermann, „Reducing Leakage with Mixed-Vth (MVT)“, 18th Conference on VLSI Design, S. 874-877, ISBN: 0-7695-2264-5, Kolkata, Indien, Januar 2005.



Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale  
Signalverarbeitung bei niedriger Leistungsaufnahme